

IL 92000-007805/

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-204311

(43)Date of publication of application : 05.08.1997

(51)Int.Cl. G06F 9/46
G06F 13/24

(21)Application number : 08-013032

(71)Applicant : TOSHIBA CORP
TOSHIBA COMPUT ENG CORP

(22)Date of filing : 29.01.1996

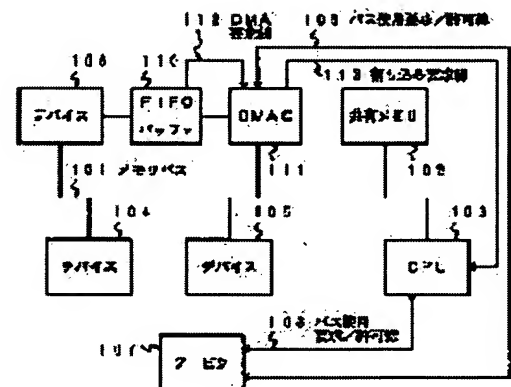
(72)Inventor : KAYANO KEIZO
HOSOJIMA MITSUZOU
KUSHITANI KAZUHIRO
NAKANO SHINICHI
TAKEKOSHI SUSUMU

(54) INFORMATION PROCESSING SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To efficiently perform interruption status informing from a device where an interruption factor is generated to a CPU without affecting the other devices.

SOLUTION: Every time the interruption factor is generated in the device 106, an interruption status for informing the CPU 103 of the interruption factor is written in a FIFO buffer 110. When the fixed amount of the interruption statuses are accumulated in the FIFO buffer 110, a direct memory access(DMA) request is outputted to a direct memory access controller(DMAC) 111. Then, the DMAC 111 acquires the using right of a memory bus 101, then burst-transfers all the interruption statuses accumulated in the FIFO buffer 110 to a shared memory 102 by DMA and successively outputs an interruption request to the CPU 103. Then, the CPU 103 acquires the using right of the memory bus 101, then read-accesses the shared memory 102 and reads the interruption statuses for the plural number of times of interruption factor generation.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-204311

(43)公開日 平成9年(1997)8月5日

(51)IntCl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 9/46	3 1 1		G 0 6 F 9/46	3 1 1 Z
13/24	3 1 0		13/24	3 1 0 E

審査請求 未請求 請求項の数2 O L (全 10 頁)

(21)出願番号 特願平8-13032

(22)出願日 平成8年(1996)1月29日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71)出願人 000221052

東芝コンピュータエンジニアリング株式
社

東京都青梅市新町1381番地1

(72)発明者 茅野 圭三

東京都青梅市新町1381番地1 東芝コン
ピュータエンジニアリング株式会社内

(74)代理人 弁理士 鈴江 武彦

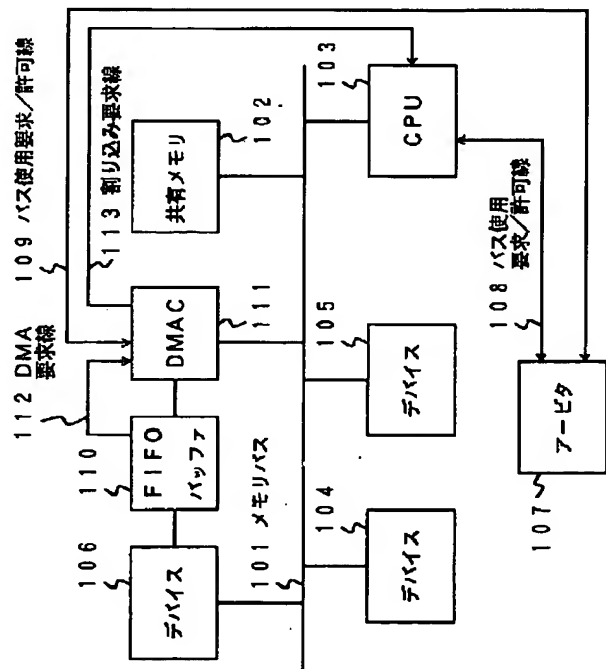
最終頁に続く

(54)【発明の名称】 情報処理システム

(57)【要約】

【課題】割り込み要因が発生したデバイスからCPUへの割り込みステータス通知が他のデバイスに影響を及ぼすことなく効率的に行えるようにする。

【解決手段】デバイス106にて割り込み要因が発生する毎に、その割り込み要因をCPU103に通知するための割り込みステータスをFIFOバッファ110に書き込む。FIFOバッファ110に一定量の割り込みステータスが溜まると、DMAC111にDMA要求が出される。するとDMAC111は、メモリバス101の使用権を取得した後、FIFOバッファ110に溜まっている全ての割り込みステータスをDMAにより共有メモリ102にバースト転送し、続いてCPU103に割り込み要求を出す。するとCPU103は、メモリバス101の使用権を取得した後、共有メモリ102にリードアクセスし、複数回の割り込み要因発生回数分の割り込みステータスを読み込む。



【 特許請求の範囲】

【 請求項1】 割り 込み要因が発生したデバイスからの割り 込みステータスをメモリ バスに接続された共有メモリを介してCPUに通知する情報処理システムにおいて、

システム内の所定のデバイスに対応して設けられ、当該デバイスで割り 込み要因が発生した際に生成される割り 込みステータスを当該デバイスから受け取って一時保持するための記憶手段と、

この記憶手段に保持された割り 込みステータスが一定量に達した場合に、当該記憶手段に保持されている全ての割り 込みステータスをDMA (ダイレクトメモリアクセス) により 前記メモリ バスを介して前記共有メモリ へバースト 転送するDMA制御手段とを具備することを特徴とする情報処理システム。

【 請求項2】 割り 込み要因が発生したデバイスからCPUに対して割り 込みステータスを通知する必要がある情報処理システムにおいて、

システム内の所定のデバイスに対応して設けられ、当該デバイスで割り 込み要因が発生した際に生成される割り 込みステータスを当該デバイスから受け取って一時保持するための前記CPUから直接アクセス可能な記憶手段と、

前記CPUに設けられ、前記所定のデバイスから前記CPUに対して割り 込み要求が発行された場合に、当該所定のデバイスに対応する前記記憶手段に保持されている前記割り 込みステータスを前記CPUに読み込む手段とを具備することを特徴とする情報処理システム。

【 発明の詳細な説明】

【 0001】

【 発明の属する技術分野】 本発明は、割り 込み要因が発生したデバイスからCPUに対して割り 込みステータスを通知する必要がある情報処理システムに関する。

【 0002】

【 従来の技術】 図6 に示すような、メモリ バス601に、共有メモリ602、CPU603及び通信機器等の各種デバイス604～606が接続された情報処理システムでは、デバイス604～606間のデータ授受は、CPU603の制御のもとで共有メモリ602を介して行われるのが一般的である。

【 0003】 このようなシステムでは、各デバイス604～606は、割り 込み要因が発生すると、そのステータス(割り 込みステータス)を共有メモリ602に書き込むことで、当該共有メモリ602を介してCPU603にステータスを通知していた。この手順につき、デバイス606で割り 込み要因が発生した場合を例に述べる。

【 0004】 (1) まず、デバイス606で、例えば送受信データを共有メモリ602との間でメモリ バス601を介して授受した結果、割り 込み要因が発生したもの

とする(D)。

【 0005】 (2) すると割り 込み要因発生元デバイス606は、メモリ バス601の使用に関する調停(アービトレーション)を司るアービタ607に対し、バス使用要求/許可線608(のうちのバス使用要求線)を介してバス使用要求(バスリクエスト)を発する。

【 0006】 (3) アービタ607は、デバイス606からのバス使用要求を受け取ると、もしメモリ バス601が使用可能であるならば、バス使用要求/許可線608(のうちのバス使用許可線)を介して要求元(割り 込み要因発生元)デバイス606にバス使用許可を送る。デバイス606は、このバス使用許可を受け取ること

で、自身がメモリ バス601の使用権を取得したことを認識する。

【 0007】 (4) デバイス606は、アービタ607からメモリ バス601の使用が許可されると、当該メモリ バス601を介して共有メモリ602に割り 込み要因のステータス(割り 込みステータス)を書き込むステータス書き込み動作を行う(I)。

【 0008】 続いてデバイス606は、CPU603に対する割り 込み要求線609をアサートして、当該CPU603に対して割り 込み要求を出す。

(5) デバイス606からの割り 込み要求を受けたCPU603は、アービタ607に対し、バス使用要求/許可線610(のうちのバス使用要求線)を介してバス使用要求(バスリクエスト)を発する。

【 0009】 (6) アービタ607は、CPU603からのバス使用要求を受け取ると、メモリ バス601が使用可能であるならば、バス使用要求/許可線610(のうちのバス使用許可線)を介してCPU603にバス使用許可を送る。CPU603は、このバス使用許可を受け取ること

で、自身がメモリ バス601の使用権を取得したことを認識する。

【 0010】 (7) CPU603は、アービタ607からメモリ バス601の使用が許可されると、当該メモリ バス601を介して共有メモリ602にリードアクセスし、(先にデバイス606が書き込んだ)ステータスを読み出す(I)。

【 0011】 以上のようにして、割り 込み要因が発生したデバイス606からCPU603に割り 込みステータスが通知されることになる。ここで、上記動作(1)の説明文に付されている(D)は、データ(データ授受)に要するバスアクセスが行われることを示し、動作(4)、(7)の説明文に付されている(I)は、割り 込み処理(ステータス書き込み/読み出し)に要するバスアクセスが行われることを示す。

【 0012】 明らかなように、従来の情報処理システムでは、(D)(I)(I)が1セットとなり、割り 込み処理に要するメモリ バスアクセスは、1回の割り 込み要因発生に対し、(割り 込み要因発生デバイスによる)ス

3

データ書き込みと(CPUによる) ステータス読み出しの2 回行われる。

【 0013 】

【 発明が解決しようとする課題】 上記したように従来の情報処理システムでは、割り込み要因が発生したデバイスからCPUに対して割り込みステータスを通知する割り込み処理に要するバスアクセスは、1 回の割り込み要因に対し、(割り込み要因発生デバイスによる) ステータス書き込みと(CPUによる) ステータス読み出しの2 回行われていた。

【 0014 】 このバスアクセスの間は、メモリバスは占有され、他のデバイスは当該バスを使用することができず、当該バスが解放されるのを待たねばならない。したがって、この割り込み要因発生デバイス(割り込み発生デバイス) が、頻繁に割り込みを発生するような用途に用いられる場合には、ステータスの書き込み/読み出しのためのバス占有時間が増えて他のデバイスのバス使用を阻害し、システム全体の動作速度を低下させる原因となる。

【 0015 】 このような問題の具体例を、図7 に示すような、2 つのLAN(ローカルエリアネットワーク) 701, 702 間でフレーム(フレームデータ) を中継する情報処理システムの場合について説明する。なお、メモリアクセスに際して必要なメモリバス使用权の取得に関する説明は省略する。

【 0016 】 例えばLAN701 からLAN702 にフレームを流す場合、LAN701 に接続されたデバイス(ここでは通信機器) 703 は、当該LAN701 からフレームを受信する。

【 0017 】 デバイス703 は、LAN701 からの受信フレーム(受信データ) を、中継用の装置(以下、CPU&メモリと称する) 707 が有する、図6 中の共有メモリ602 に相当するメモリ706 に、図6 中のメモリバス601 に相当するメモリバス(図示せず) を介して書き込む受信データ書き込み動作を行う(D) 。

【 0018 】 この結果、デバイス703 は受信完了割り込みを発生し、CPU&メモリ707 内のメモリ706 に例えばDMA(ダイレクトメモリアクセス) によりステータス(正常受信完了などの割り込みステータス) を書き込む(I) 。

【 0019 】 (図6 中のCPU603 に相当する) CPU&メモリ707 中のCPU705 は、デバイス703 から割り込みを受け取ると、メモリ706 上のステータス(割り込みステータス) を読み込む(I) 。

【 0020 】 そしてCPU705 は、読み込んだステータスによりデバイス703 からの受信完了通知を知ると、LAN702 に接続されているデバイス704 に対して送信指令を出す。

【 0021 】 デバイス704 は、CPU705 からの送信指令を受け取ると、CPU&メモリ707 内のメモリ

4

706 からデータをDMAにより読み込み(D) 、LAN702 に送出する。

【 0022 】 この結果、デバイス704 は送信完了割り込みを発生し、CPU&メモリ707 内のメモリ706 にDMAによりステータス(正常送信完了などの割り込みステータス) を書き込む(I) 。

【 0023 】 CPU705 は、デバイス704 から割り込みを受け取ると、メモリ706 上のステータス(割り込みステータス) を読み込む(I) 。

そしてCPU705 は、読み込んだステータスによりデバイス704 からの送信完了通知を知ると、1 つの送受信サイクルを終了する。

【 0024 】 以上の送受信サイクルは、必要なデータ長を中継し終えるまで繰り返される。図7 のシステムでは、この他に、LAN702 からLAN701 にフレームを流す場合もある。この場合には、デバイス703 と704 の動作が上記とは逆になる。

【 0025 】 明らかなように、例えばデバイス703 側でステータス・データの書き込みなり、読み出しなりを実行している際には、デバイス704 側は(LAN702 からの) データの受信中でもあっても、デバイス703 側の動作の終了を待たねばならない。この場合、デバイス704 側では、LAN702 から送られてくるデータを取り込むことができず、当該データを喪失してしまう虞がある。

【 0026 】 本発明は上記事情を考慮してなされたものでその目的は、割り込み要因が発生したデバイスからCPUへの割り込みステータス通知が他のデバイスに影響を及ぼすことなく効率的に行える情報処理システムを提供することにある。

【 0027 】

【 課題を解決するための手段】 本発明の第1 の観点に係る情報処理装置は、割り込み要因が発生したデバイスからの割り込みステータスをメモリバスに接続された共有メモリを介してCPUに通知する情報処理システムにおいて、システム内の所定のデバイスに対応して設けられ、当該デバイスで割り込み要因が発生した際に生成される割り込みステータスを当該デバイスから受け取って一時保持するための記憶手段と、この記憶手段に保持された割り込みステータスが一定量に達した場合に、当該記憶手段に保持されている全ての割り込みステータスをDMAによりメモリバスを介して上記共有メモリへバースト転送するDMA制御手段とを備えたことを特徴とする。ここで、上記記憶手段として、先入れ先出方式のバッファ(FIFOバッファ) 、あるいはローカルメモリを使用するとよい。

【 0028 】 本発明の第2 の観点に係る情報処理装置は、割り込み要因が発生したデバイスからCPUに対して割り込みステータスを通知する必要がある情報処理システムにおいて、システム内の所定のデバイスに対応し

10

20

30

40

50

5

て設けられ、当該デバイスで割り込み要因が発生した際に生成される割り込みステータスを当該デバイスから受け取って一時保持するための前記CPUから直接アクセス可能な記憶手段と、上記CPUに設けられ、上記所定のデバイスからCPUに対して割り込み要求が発行された場合に、当該所定のデバイスに対応する上記記憶手段に保持されている割り込みステータスをCPUに読み込む手段とを備えたことを特徴とする。ここで、上記記憶手段として、FIFOバッファあるいはローカルメモリを使用するとよい。

【0029】上記第1の観点に係る情報処理システムにおいて、所定のデバイスで割り込み要因が発生した際に生成される割り込みステータスは、従来とは異なって直接共有メモリに書き込まれず、そのデバイスに対応して設けられた記憶手段（例えばFIFOバッファあるいはローカルメモリ）に一旦保持される。この動作は、上記デバイスで割り込み要因が発生する毎に繰り返される。この繰り返しの結果、上記記憶手段内の割り込みステータスの量が一定量に達すると、当該記憶手段または上記デバイスからDMA制御手段に対してDMA要求が出され、これを受けてDMA制御手段は、当該記憶手段に保持されている全ての割り込みステータスをDMAによりメモリバスを介して共有メモリへバースト転送する。

【0030】この結果、共有メモリには、1回のDMA操作で、複数回の割り込み要因発生回数分の割り込みステータスが書き込まれることになり、共有メモリに対する割り込みステータス書き込みに伴うメモリバスの占有期間を減らすことが可能となる。

【0031】このように第1の観点に係る情報処理システムにおいては、複数回の割り込み要因発生回数分の割り込みステータスの書き込みを1回で処理することにより、割り込みステータスに関するバスアクセス回数を削減し、実行時間を短縮することで、システムの高速化を図ることが可能となる。このことは、特に通信機器のように頻繁に受信割り込み及び送信割り込み（送受信割り込み）が発生し、しかもそのための処理の緊急性が低いデバイスの場合に有効である。

【0032】上記第2の観点に係る情報処理システムにおいて、所定のデバイスで割り込み要因が発生した際に生成される割り込みステータスは、従来とは異なって直接共有メモリに書き込まれず、そのデバイスに対応して設けられた記憶手段（例えばFIFOバッファあるいはローカルメモリ）に一旦保持される。すると、そのデバイスからCPUに対して割り込み要求が出される。これを受けてCPUは、その割り込み要求元デバイスに対応する記憶手段から、当該記憶手段に保持されている割り込みステータスを直接読み込む。このCPUによるステータス読み込みは、上記記憶手段が例えばFIFOバッファならば、IO（入出力）リードにより実行でき、ローカルメモリならば、ローカルメモリバスを介してのリ

6

ードアクセスにより実行できる。

【0033】このように第2の観点に係る情報処理システムにおいては、割り込みステータスの書き込み及び読み出しのいずれも、共有メモリを対象とせずに行えることから、割り込みステータスアクセスに伴うメモリバスアクセスの発生を抑えることができる。即ち、割り込みステータスに関するバスアクセスを削減し、実行時間を短縮することで、システムの高速化を図ることが可能となる。

10 【0034】

【発明の実施の形態】以下、本発明の実施の形態につき図面を参照して説明する。

〔第1の実施形態〕図1は本発明の第1の実施形態に係る情報処理システムの構成を示すブロック図である。

【0035】図1において、メモリバス101には、共有メモリ102及びCPU103が接続されている。このメモリバス101には、割り込み要因の発生時にその割り込み要因をCPU103に通知するための割り込みステータス（割り込み要因ステータス）を生成する（通信機器等の）デバイス104～106も接続されている。

【0036】CPU103は、メモリバス101の使用に関する調停を司るアービタ（バスアービタ）107とバス使用要求／許可線108を介して接続されている。またデバイス104～106も、当該アービタ107と図示せぬバス使用要求／許可線を介して接続されている。このアービタ107にはまた、後述するDMAC（DMAコントローラ）111がバス使用要求／許可線109を介して接続されている。

30 【0037】デバイス104～106のうちの例えばデバイス106は、頻繁に割り込み要因が発生し、その都度、その割り込み要因のステータス（割り込みステータス）を（共有メモリ102を通して）CPU103に通知する必要があるものとする。このような場合、従来のように、その都度割り込みステータスをメモリバス101を介して共有メモリ102に書き込んでいたのでは、割り込みステータス書き込みにメモリバス101が占有されてしまう。

40 【0038】そこで本実施形態では、デバイス106に、当該デバイス106で生成された割り込みステータスを一時保持するための記憶手段、例えばFIFOバッファ110を接続すると共に、このFIFOバッファ110には、当該バッファ110に保持された割り込みステータスをメモリバス101を介して共有メモリ102にDMAによりバースト転送するDMAコントローラ（以下、DMACと称する）111を接続している。上記FIFOバッファ110は、デバイス106での複数回の割り込み要因発生回数分の割り込みステータスが保持可能な構成となっており、一定量の割り込みステータスが保持された場合に、DMA要求線112を介してD

50

MAC111にDMA要求を発するようになってい
DMAC111は、メモリバス101に接続される他、
バス使用要求/許可線109を介してアービタ107
に、割り込み要求線113を介してCPU103に接続
されている。

【0039】次に、図1の構成の動作を、デバイス106で割り込み要因が発生した場合を例に、図2のフローチャートを参照して説明する。なお、以下の動作説明文中、(D)が付されている部分は、データ(データ授受)に要するバスアクセスが行われることを示し、(I)が付されている部分は、割り込み処理(ステータス書き込み/読み出し)に要するバスアクセスが行われることを示す(「従来の技術」の欄で述べたのと同様)。

【0040】(1)まず、デバイス106で、例えば送受信データを共有メモリ102との間でメモリバス101を介して授受したなどにより、割り込み要因が発生したものとす(D)。

【0041】(2)すると割り込み要因発生元デバイス106は、その割り込み要因のステータス(割り込みステータス)を生成し、当該ステータスをFIFOバッファ110に書き込む(ステップS1)。

【0042】(3)FIFOバッファ110は、当該バッファ110に一定量の割り込みステータスが溜まったか否かをチェックし(ステップS2)、一定量の割り込みステータスが溜まっていないならば、次の割り込みステータスの書き込みを待つ。

【0043】したがって、デバイス106で割り込み要因が発生する毎に、上記ステップS1、S2が繰り返されることになる。

(4)やがて、FIFOバッファ110に一定量の割り込みステータスが溜まると、FIFOバッファ110からDMAC111に対し、DMA要求線112を介してDMA要求が出される(ステップS3)。

【0044】(5)DMAC111は、FIFOバッファ110からDMA要求を受け取ると、メモリバス101の使用権を取得するために、アービタ107に対し、バス使用要求/許可線109(のうちのバス使用要求線)を介してバス使用要求(バスリクエスト)を発する(ステップS4)。

【0045】(6)アービタ107は、DMAC111からのバス使用要求を受け取ると、もしメモリバス101が使用可能であるならば、バス使用要求/許可線109(のうちのバス使用許可線)を介して要求元のDMAC111にバス使用許可を送る。アービタ107は、このバス使用許可を受け取ること、自身がメモリバス101の使用権を取得したことを認識する(ステップS5)。

【0046】(7)DMAC111は、アービタ107からメモリバス101の使用が許可されると、その時点

においてFIFOバッファ110に溜まっている全ての割り込みステータス(複数回の割り込み要因発生回数分の割り込みステータス)をDMAによりメモリバス101を介して共有メモリ102にバースト転送して書き込む(ステータスの)バースト書き込み動作を行う(ステップS6)(I)。

【0047】続いてDMAC111は、割り込み要求線113をアサートし、CPU103に対して割り込み要求を出す(ステップS7)。

(8)DMAC111からの割り込み要求を受けたCPU103は、アービタ107に対し、バス使用要求/許可線108(のうちのバス使用要求線)を介してバス使用要求を発する(ステップS8)。

【0048】(9)アービタ107は、CPU103からのバス使用要求を受け取ると、メモリバス101が使用可能であるならば、バス使用要求/許可線108(のうちのバス使用許可線)を介して要求元のCPU103にバス使用許可を送る。CPU103は、このバス使用許可を受け取ること、自身がメモリバス101の使用権を取得したことを認識する(ステップS9)。

【0049】(10)CPU103は、アービタ107からメモリバス101の使用が許可されると、当該メモリバス101を介して共有メモリ102にリードアクセスし、(先にDMAC111が書き込んだ)複数回の割り込み要因発生回数分の割り込みステータスを読み込む(ステップS10)(I)。

【0050】このように、本実施形態におけるメモリバスアクセスは、(デバイス106での)複数回の割り込み要因発生に対し、DMAC111によるステータス書き込みと、CPU103によるステータス読み出しの2回行われる。

【0051】即ち本実施形態においては、実際のメモリバスアクセス動作として、従来技術であれば、(D)(I)(I)(D)(I)(I)(D)(I)(I)(D)(I)(I)のような繰り返しを、(I)を複数回の割り込み要因発生回数分(例えば4回分)まとめて行えるようにすることで、(D)(D)(D)(D)(I)(I)と短縮してメモリバス101の占有時間を減らし、図1のシステムでの処理の高速化を図ることができる。

【0052】なお、本実施形態では、割り込みステータスを一時保持しておく記憶手段としてFIFOバッファ110を用いた場合について説明したが、例えばローカルメモリを用いることも可能である。以下、割り込みステータスの一時保持用にローカルメモリを用いた第2の実施形態につき説明する。

[第2の実施形態]図3は本発明の第2の実施形態に係る情報処理システムの構成を示すブロック図であり、図1と同一部分には同一符号を付してある。

【0053】図3のシステムが図1のシステムと異なる

10

20

30

40

50

点は、デバイス106に代えてデバイス301を用いると共に、割り込みステータスの一時保持用の記憶手段としてFIFOバッファ110に代えてローカルメモリ302を用いていることである。デバイス301は(デバイス106と異なると)、ローカルメモリ302に溜まった割り込みステータスの量を管理(カウント)する機能を有しており、一定量溜まるとDMA要求線112を介してDMAC111にDMA要求を出す。

【0054】図3のシステムにおいても、デバイス301で割り込み要因が発生する(D)毎に、割り込みステータスをローカルメモリ302に書き込む前記ステップS1、S2と同様の動作が繰り返され、当該ローカルメモリ302に一定量の割り込みステータスが溜まった段階で、デバイス301からDMAC111にDMA要求が出される。

【0055】以下の動作は、FIFOバッファ110がローカルメモリ302に代わった点を除いて前記第1の実施形態と同様である。即ち、ローカルメモリ302に溜まっている一定量の割り込みステータス(複数回の割り込み要因発生回数分の割り込みステータス)をDMAC111により共有メモリ102にバースト転送して書き込む動作(I)と、その共有メモリ102に書き込まれた複数回の割り込み要因発生回数分の割り込みステータスをCPU103が読み込む動作(I)を含む処理が、前記ステップS4～S10と同様の手順で行われる。

【0056】したがって本実施形態におけるメモリバスアクセスも、前記第1の実施形態と同様に、(デバイス301での)複数回の割り込み要因発生に対し、DMAC111によるステータス書き込みと、CPU103によるステータス読み出しの2回行われる。

【0057】即ち本実施形態においては、実際のメモリバスアクセス動作として、従来技術であれば、(D)(I)(I)(D)(I)(I)(D)(I)(I)のような繰り返しを、(I)を複数回の割り込み要因発生回数分(例えば4回分)まとめて行えるようにすることで、(D)(D)(D)(D)(I)(I)と短縮してメモリバス101の占有時間を減らし、図3のシステムでの処理の高速化を図ることができる。

【0058】なお、以上に述べた第1(第2)の実施形態では、デバイス106(301)での割り込み発生時の要因となるデータ(例えば送受信データ)については、従来と同様にメモリバス101を介して直接共有メモリ102に書き込むものとしているが、割り込みステータスと同様にFIFOバッファ110(ローカルメモリ302)に書き込み、DMAC111により共有メモリ102にバースト転送するようにしても構わない。この場合には、メモリバス101の占有時間を一層削減できる。特に、ローカルメモリ302を用いた場合には、十

分な記憶容量の確保が容易であることから、この方式を適用するとよい。

【0059】また、デバイス106またはデバイス301以外のデバイス(104、105)における割り込み要因発生時の処理についても、頻繁に割り込み要因が発生し、しかもそのための処理の緊急性が低いデバイスについては、同様の扱いが行えるようにするとよい。

【0060】以上の第1及び第2の実施形態では、割り込み要因が発生したデバイスからの割り込みステータスを直接共有メモリ102に書き込みはしないものの、この共有メモリ102を通して当該割り込みステータスがCPU103に通知されるようにしている。この場合、割り込み要因発生に伴う(I)の動作回数を減らすことはできるものの、皆無にすることはできない。そこで、この割り込み要因発生に伴う(I)の動作回数を皆無にした第3の実施形態につき説明する。

[第3の実施形態] 図4は本発明の第2の実施形態に係る情報処理システムの構成を示すブロック図である。

【0061】図1において、メモリバス401には、共有メモリ402及びCPU403が接続されている。このメモリバス401には、割り込み要因の発生時にその割り込み要因をCPU403に通知するための割り込みステータス(割り込み要因ステータス)を生成する(通信機器等の)デバイス404～406も接続されている。

【0062】デバイス404～406のうちの例えばデバイス406は、頻繁に割り込み要因が発生し、その都度、その割り込み要因のステータス(割り込みステータス)をCPU403に通知する必要があるものとする。このような場合、従来のように、その都度割り込みステータスをメモリバス401を介して共有メモリ402に書き込んでいたのでは、割り込みステータスの書き込みと読み出しにメモリバス401が占有されてしまう。

【0063】そこで本実施形態では、デバイス406に、当該デバイス406で生成された割り込みステータスを一時保持するための記憶手段、例えばFIFOバッファ407を接続すると共に、このFIFOバッファ407をCPU403からI/Oリード(I/Oアクセス)可能なI/Oバス409(入出力バス)に接続している。またデバイス406は、割り込み要求線408を介してCPU403に接続されている。

【0064】なお、図4では、CPU403、デバイス404～406などからの(メモリバス401の使用に関する)バス使用要求を調停するアービタなどは省略されている。

【0065】次に、図4の構成の動作を、デバイス406で割り込み要因が発生した場合を例に説明する。

(1) まず、デバイス406で、例えば送受信データを共有メモリ402との間でメモリバス401を介して授受したなどにより、割り込み要因が発生したものとす

(D)。

【 0066 】 (2) すると割り込み要因発生元デバイス406は、その割り込み要因のステータス(割り込みステータス)を生成し、当該ステータスをFIFOバッファ407に書き込む。

【 0067 】 続いてデバイス406は、割り込み要求線408をアサートし、CPU403に対して割り込み要求を出す。

(3) デバイス406からの割り込み要求を受けたCPU403は、IOバス409を介してFIFOバッファ407をI/Oリーダし、当該バッファ407に保持されている割り込みステータスを読み込む。

【 0068 】 このようにCPU403がFIFOバッファ407をI/Oリーダするため、IOバスアクセス1回で終了し、メモリバス401の占有はなされない。また、デバイス406からの割り込みステータスをCPU403に通知するのに共有メモリ402を用いないことから、ソフトウェアによる当該共有メモリ402上の割り込みステータス保持領域の管理が簡略化される。

【 0069 】 即ち本実施形態においては、実際のメモリバスアクセス動作として、従来技術であれば、(D)

(I) (I) (D) (I) (I) (D) (I) (I) (D) (I) (I) のような繰り返しを、(I) の処理にメモリバス401を使用しないことで(D) (D) (D) (D) と短縮し、図4のシステムでの処理の高速化を図ることができる。

【 0070 】 なお、本実施形態では、割り込みステータスを一時保持するたるの記憶手段としてFIFOバッファ407を用いた場合について説明したが、例えばローカルメモリを用いることも可能である。以下、割り込みステータスの一時保持用にローカルメモリを用いた第4の実施形態につき説明する。

[第4の実施形態] 図5は本発明の第4の実施形態に係る情報処理システムの構成を示すブロック図であり、図4と同一部分には同一符号を付してある。

【 0071 】 図5のシステムが図4のシステムと異なる点は、デバイス406に代えてデバイス501を用いると共に、割り込みステータスの一時保持用の記憶手段としてFIFOバッファ407に代えてローカルメモリ502を用いていることである。デバイス501は、割り込み要因発生時には、割り込みステータスをローカルメモリ502に書き込むようになっている。

【 0072 】 また、図5のシステムが図4のシステムと異なる点は、CPU403に代えてCPU503を用い、ローカルメモリ502に保持されている割り込みステータスをローカルメモリバス504を介して当該CPU503に読み込めるようにしていることである。

【 0073 】 なお、図5では、CPU503、デバイス404、405、501などからの(メモリバス401の使用に関する)バス使用要求を調停するアービタなど

は省略されている。

【 0074 】 次に、図5の構成の動作を、デバイス501で割り込み要因が発生した場合を例に説明する。

(1) まず、デバイス501で、例えば送受信データを共有メモリ402との間でメモリバス401を介して授受したなどにより、割り込み要因が発生したものとする(D)。

【 0075 】 (2) すると割り込み要因発生元デバイス501は、その割り込み要因のステータス(割り込みステータス)を生成し、当該ステータスをローカルメモリ502に書き込む。

【 0076 】 続いてデバイス501は、割り込み要求線408をアサートし、CPU503に対して割り込み要求を出す。

(3) デバイス501からの割り込み要求を受けたCPU503は、ローカルメモリバス504を介してローカルメモリ502をリーダし、当該メモリ502に保持されている割り込みステータスを読み込む。

【 0077 】 このようにデバイス501からの割り込みステータスを共有メモリ402を介さずにCPU403に通知できることから、その際にメモリバス401の占有はなされない。

【 0078 】 即ち本実施形態においては、実際のメモリバスアクセス動作として、従来技術であれば、(D) (I) (I) (D) (I) (I) (D) (I) (I) のような繰り返しを、(I) の処理にメモリバス401を使用しないことで(D) (D) (D) (D) と短縮し、図5のシステムでの処理の高速化を図ることができる。

【 0079 】 なお、以上に述べた第3(第4)の実施形態では、デバイス406(501)での割り込み発生要因となるデータ(例えば送受信データ)については、従来と同様にメモリバス401を介して直接共有メモリ402に書き込むものとしているが、割り込みステータスと同様にFIFOバッファ407(ローカルメモリ502)に書き込み、CPU403(503)からIOバス409(ローカルメモリバス504)を介して直接リーダするようにしても構わない。この場合には、メモリバス401の占有時間を一層削減できる。特に、ローカルメモリ502を用いた場合には、十分な記憶容量の確保が容易であることから、この方式を適用するとよい。

【 0080 】

【 発明の効果 】 以上詳述したように本発明によれば、割り込み要因が発生したデバイスからCPUに対して共有メモリを介して割り込みステータスを通知する方式を適用する場合に、複数回の割り込み要因発生回数分の割り込みステータスをまとめて処理できるため、割り込み要因発生に伴うメモリバスアクセスの占有時間が減少し、メモリバス性能が向上してシステム全体の高速化が図れる。また本発明によれば、割り込み要因が発生したデバ

イスからCPUへの割り込みステータス通知を共有メモリアクセスを必要とせずに実現することもできる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る情報処理システムの構成を示すブロック図。

【図2】図1の構成の動作を、デバイス106で割り込み要因が発生した場合を例に説明するためのフローチャート。

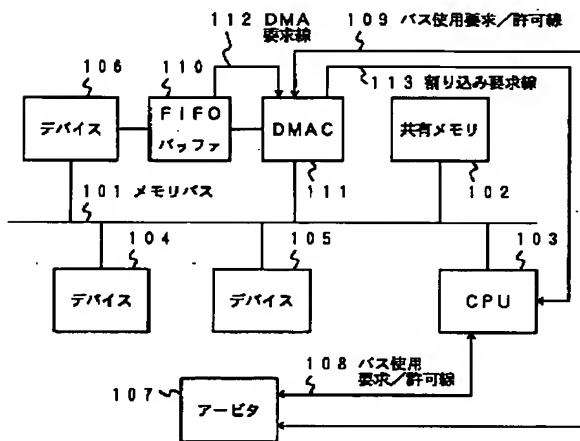
【図3】本発明の第2の実施形態に係る情報処理システムの構成を示すブロック図。

【図4】本発明の第3の実施形態に係る情報処理システムの構成を示すブロック図。

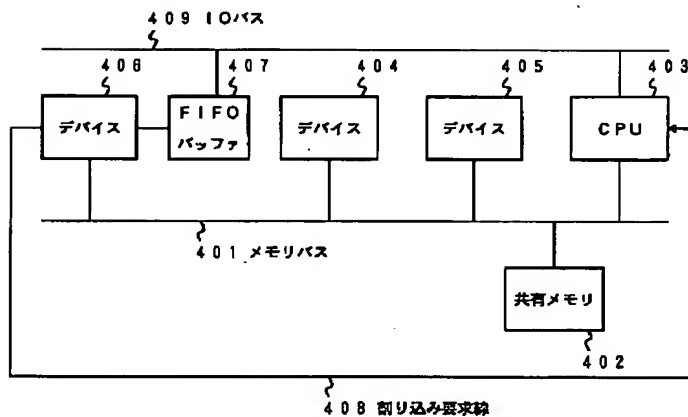
【図5】本発明の第4の実施形態に係る情報処理システムの構成を示すブロック図。

【図6】従来の情報処理システムの構成を示すブロック

【図1】



【図4】



図。

【図7】2つのLAN間でフレームを中継する情報処理システムの一般的な構成を示す図。

【符号の説明】

101, 401...メモリバス、

102, 402...共有メモリ、

103, 403, 503...CPU、

106, 301, 406, 501...デバイス(所定のデバイス)、

107...アービタ、

110, 407...FIFOバッファ(記憶手段)、

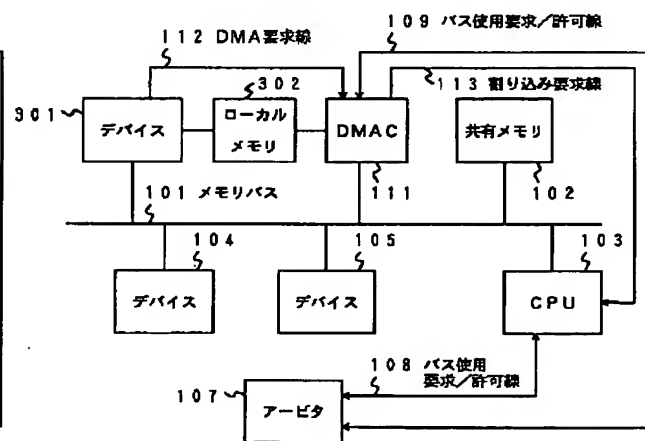
111...DMAコントローラ(DMAC)、

302, 502...ローカルメモリ(記憶手段)、

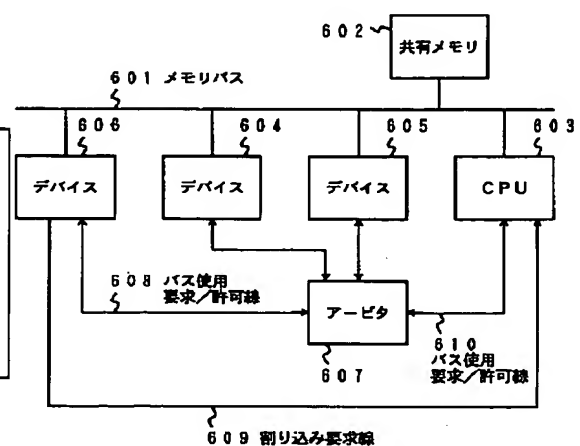
409...IOバス、

504...ローカルメモリバス。

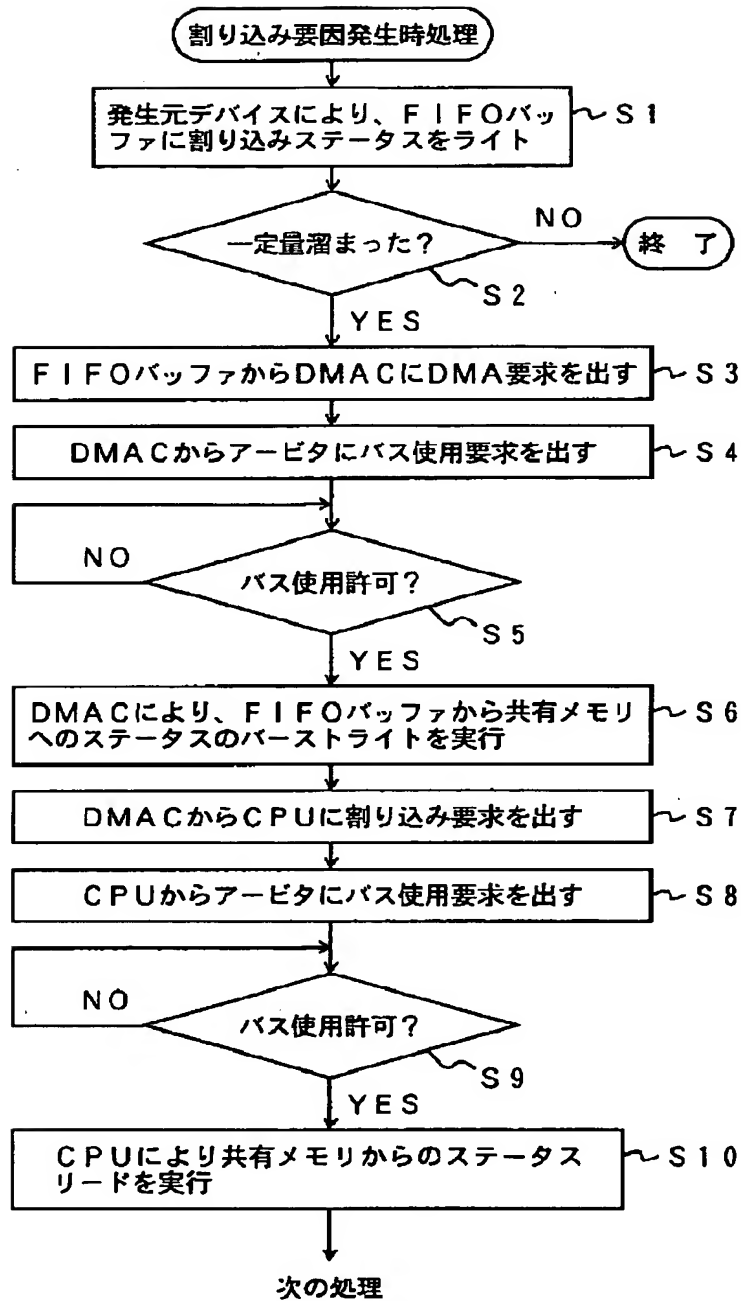
【図3】



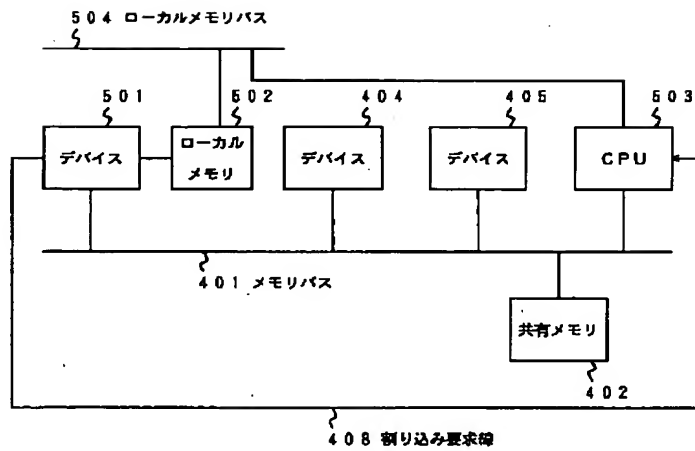
【図6】



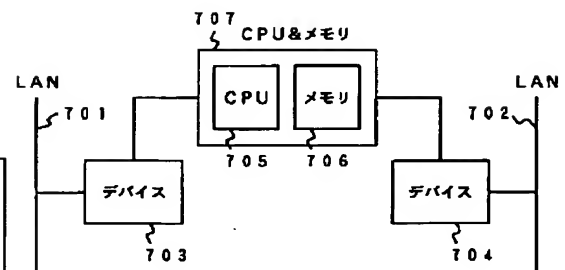
【 図2 】



【 図5 】



【 図7 】



フロント ページの続き

(72)発明者 細島 満蔵
東京都青梅市新町1381番地1 東芝コンピュータエンジニアリング株式会社内

(72)発明者 櫛谷 和浩
東京都青梅市新町1381番地1 東芝コンピュータエンジニアリング株式会社内

(72)発明者 中野 伸一
東京都青梅市新町1381番地1 東芝コンピュータエンジニアリング株式会社内

(72)発明者 竹腰 晋
東京都青梅市新町1381番地1 東芝コンピュータエンジニアリング株式会社内